



宇航用处理器发展与展望

年嘉伟 王旭茹 刘鸿瑾 房方 杨孟飞

Development and Prospects of Aerospace Processors

NIAN Jia-Wei, WANG Xu-Ru, LIU Hong-Jin, FANG Fang, YANG Meng-Fei

在线阅读 View online: <https://doi.org/10.16383/j.aas.c250393>

您可能感兴趣的其他文章

智能赋能航班化航天运输系统发展与思考

Development and Thoughts on Intelligent Empowerment of Airline-flight-mode Aerospace Transportation System

自动化学报. 2025, 51(10): 2135–2146 <https://doi.org/10.16383/j.aas.c250176>

大规模类脑计算系统BiCoSS: 架构、实现及应用

Large-scale Brain-inspired Computing System BiCoSS: Its Architecture, Implementation and Application

自动化学报. 2021, 47(9): 2154–2169 <https://doi.org/10.16383/j.aas.c190035>

空间控制技术发展与展望

Advances and Perspectives of Space Control Technology

自动化学报. 2023, 49(3): 476–493 <https://doi.org/10.16383/j.aas.c220792>

一元及多元信号分解发展历程与展望

Univariate and Multivariate Signal Decomposition: Review and Future Directions

自动化学报. 2024, 50(1): 1–20 <https://doi.org/10.16383/j.aas.c220632>

基于时变障碍李雅普诺夫函数的变体无人机有限时间控制

Finite-time Control for Morphing Aerospace Vehicle Based on Time-varying Barrier Lyapunov Function

自动化学报. 2022, 48(8): 2062–2074 <https://doi.org/10.16383/j.aas.c200712>

基于水下传感器网络的目标跟踪技术研究现状与展望

Research Status and Prospect of Target Tracking Technologies via Underwater Sensor Networks

自动化学报. 2021, 47(2): 235–251 <https://doi.org/10.16383/j.aas.c190886>

宇航用处理器发展与展望

年嘉伟^{1,2} 王旭茹^{2,3} 刘鸿瑾^{2,3} 房方¹ 杨孟飞⁴

摘要 本文系统地回顾了美国、欧洲及我国在宇航用处理器领域的技术演进,重点分析基于 PowerPC 架构的美国代表性处理器产品以及采用 SPARC 架构的欧洲与我国典型处理器方案. 研究揭示,未来宇航用处理器的发展将显著分化为通用型与智能型两大技术路线. 通用型宇航用处理器将呈现高性能(如提升多核并行计算能力)、高集成度(如实现系统级芯片)、高可靠性(如强化抗辐照设计)及低功耗的协同发展趋势,而智能型处理器将侧重于提升在轨实时智能信息处理能力.

关键词 宇航用处理器; 处理器架构; PowerPC; SPARC; RISC-V

引用格式 年嘉伟, 王旭茹, 刘鸿瑾, 房方, 杨孟飞. 宇航用处理器发展与展望. 自动化学报, 2026, 52(8): 1645–1658

DOI 10.16383/j.aas.c250393 **CSTR** 32138.14.j.aas.c250393

Development and Prospects of Aerospace Processors

NIAN Jia-Wei^{1,2} WANG Xu-Ru^{2,3} LIU Hong-Jin^{2,3} FANG Fang¹ YANG Meng-Fei⁴

Abstract This paper provides a systematic review of the technological evolution of aerospace processors in the United States (U.S.), Europe, and China. It primarily analyzes representative U.S. processor products based on the PowerPC architecture, as well as typical European and Chinese processor solutions that utilize the SPARC architecture. The research identifies that the future development of aerospace processors will significantly diverge into two main technical directions: General-purpose and intelligent processors. General-purpose aerospace processors will follow a coordinated trend of increased performance (such as enhanced multi-core parallel computing capabilities), higher integration (such as implementation of system-on-chip designs), improved reliability (such as enhanced radiation-hardened designs), and reduced power consumption. In contrast, intelligent processors will concentrate on advancing real-time intelligent information processing capabilities in-orbit.

Keywords aerospace processor; processor architecture; PowerPC; SPARC; RISC-V

Citation Nian Jia-Wei, Wang Xu-Ru, Liu Hong-Jin, Fang Fang, Yang Meng-Fei. Development and prospects of aerospace processors. *Acta Automatica Sinica*, 2026, 52(8): 1645–1658

现代航天器,尤其是空间飞行器如卫星、飞船和空间探测器,一般包括庞大复杂的电子系统,用来对飞行器的轨道、姿态进行控制,采集内外部数据并进行计算分析^[1],对飞行器内部状态进行测量与控制,从而构成强大的天地一体化回路,保障飞行器的正常运行^[2]. 与通用处理器相比,宇航用处理器的最大特点是需要极端的空间环境中稳定工

作,这些环境包括强辐射、大温差和超高真空等. 因此,宇航用处理器不仅需具有高效的计算能力,还需具备极高的可靠性、抗辐照性以及长期运行稳定性. 在此基础上,复杂多样的航天任务对处理器的高效计算能力、容错设计和高可靠性等方面有着更加严格的要求.

自 20 世纪人类开始大力发展航天事业以来,宇航用处理器的研究进展迅速. 以美国航天局 NASA (National Aeronautics and Space Administration) 采用的 PowerPC 架构系列处理器、欧洲航天局 (European Space Agency, ESA) 和我国采用的 SPARC 架构系列处理器为代表的宇航用处理器,在各航天任务中发挥着关键作用,特别是在深空探测、卫星轨道控制和载人航天等高风险、高复杂度任务中,提供了强大的计算支持. 例如,PowerPC 架构的处理器被广泛应用于 NASA 的多个航天任务,支持从卫星控制到深空探测的核心计算工作; SPARC 架构则在多个欧洲航天任务中发挥重要作用,其在可靠性和容错性方面的优势,使其成为长

收稿日期 2025-08-18 录用日期 2026-01-29

Manuscript received August 18, 2025; accepted January 29, 2026

空间可信计算与电子信息实验室开放基金课题 (OBCand-ETL-2025-01(2)), 中央高校面上项目 (2025MS028) 资助

Supported by the Open Fund Project of the Space Trustworthy Computing and Electronic Information Technology Laboratory (OBCandETL-2025-01(2)) and the Central University General Project (2025MS028)

本文责任编辑 段海滨

Recommended by Associate Editor DUAN Hai-Bin

1. 华北电力大学 北京 100096 2. 北京轩宇空间科技有限公司 北京 100190 3. 北京控制工程研究所 北京 100190 4. 中国空间技术研究院 北京 100094

1. North China Electric Power University, Beijing 100096 2. Beijing SunWise Space Technology Co., Ltd., Beijing 100190 3. Beijing Institute of Control Engineering, Beijing 100190 4. China Academy of Space Technology, Beijing 100094

期运行任务中的理想选择. 这些处理器的技术演进, 从最初的单核处理器到现在的多核与异构计算架构, 体现了人类对计算性能与可靠性的不断追求.

本文将重点对美国、欧洲和我国的宇航用处理器发展历程及相关产品进行介绍, 探讨其在性能、可靠性、抗辐照能力等方面的表现. 基于发展回顾, 本文还将展望未来宇航用处理器的发展趋势.

1 美国宇航用处理器发展

美国对宇航用处理器的研究开展较早. 1976 年, 美国研制的首款宇航用处理器 RCA1802 被成功用于 Voyager 1 太空探测器中. 20 世纪 80 年代, x86 架构的 8086、80386 逐步开始应用. 20 世纪 90 年代, 美国航天局根据未来航天任务的需要, 组织多家公司对 SoC/ASIC 技术进行多方面的研究^[3], 即 X-2000 计划. RAD750^[4] 是该计划第一阶段完成的项目之一, 它与早期的 RAD6000^[5] 因高可靠性和高性能, 成为 20 世纪和本世纪初应用最广泛的宇航用处理器^[6]. 随着航天技术的发展和应用开发的需要, BAE Systems 在 2017 年发布了以 RAD-5510 和 RAD5545 为代表的单核和四核宇航用处理器^[7-8]. 同年, NASA 与波音公司共同启动高性能航天计算 (high performance spaceflight computing, HPSC) 处理器项目, 开发下一代抗辐照、通用、多核宇航用处理器, 以满足 NASA 和美国空军未来机器人和载人航天器的机载计算需求^[9].

1.1 RAD750

RAD750 是由 BAE Systems 公司专为空间应用设计的高性能抗辐照处理器. 如图 1 所示, 该处理器基于 PowerPC 750 超标量微架构内核, 主频范围为 132 MHz 至 233 MHz, 实测性能大于 2 DMIPS/MHz, 典型功耗为 5 W@132 MHz. BAE Systems 以高可靠性和高性能为设计宗旨, 开发了综合抗辐照加固方案, 使其具备卓越的抗总剂量效

应 (total ionizing dose, TID) 能力 (达 1 Mrad (Si))、单粒子锁定 (single event latch-up, SEL) 免疫特性以及强化的单粒子翻转 (single event upset, SEU) 耐受能力 (不大于 1.6×10^{-10} 错误/(位·天)). 硬件层面, 采用 250 nm CMOS 工艺制造, 并集成多种工业标准接口 (包括 cPCI、JTAG、PCI、UART (universal asynchronous receiver/transmitter)). 数据保护方面, 综合运用纠错码 (error correction code, ECC) 和三模冗余 (triple modular redundancy, TMR) 技术进行防护. RAD750 凭借其全面的抗辐照加固措施和稳定的性能表现, 成为空间计算应用中的核心处理器之一. 其高抗辐照能力和出色的可靠性, 确保了在极端空间环境下的长期稳定运行, 特别适用于对计算性能与系统可靠性要求极高的航天任务.

1.2 RAD5545

RAD5545 是 BAE Systems 公司面向航天应用开发的高集成度 64 位 PowerPC 架构多核处理器. 如图 2 所示, 该处理器集成四个 PowerPC e5500 内核, 配备三级缓存体系 (64 KB L1/512 KB L2/2 MB L3), 支持 PROM (programmable read-only memory)/SRAM (static random-access memory)/SDRAM (synchronous dynamic random-access memory) 等多类型存储器, 并通过 CoreNet 一致性架构互联多种航天级外设接口 (含 SpaceWire、I²C (inter-integrated circuit)、SPI (serial peripheral interface)、GPIO (general purpose input/output)). 其主频达 466 MHz, 计算性能达 3 DMIPS/MHz (Dhrystone), 典型功耗为 17.7 W@466 MHz, 在特定测试负载下可实现约 4.6 GOPS 的有效计算性能. RAD5545 采用 45 nm SOI 工艺制造, 通过三模冗余与纠错码技术实现容错设计, 具备 1 Mrad (Si) 总电离剂量耐受性、单粒子锁定免疫特性及卓越的单粒子翻转耐受能力 (不大于 2.0×10^{-9} 错误/(位·天)).

1) 该设计通过绝缘体上硅 (silicon on insulator, SOI) 工艺与多层缓存架构的协同优化, 提升了航天计算场景下的能效比; 2) 其低量级的 SEU 失效率指标, 体现了抗辐照加固技术在深亚微米工艺节点的优势; 3) 综合接口兼容性与容错机制, 使该处理器成为高可靠性航天电子系统的典型解决方案. 此外, RAD5545 的多核设计与高缓存配置, 显著提升了其在高负载任务下的处理能力, 为复杂航天计算任务提供了强有力的支撑. 然而, 其典型功耗为 17.7 W@466 MHz, 相较于其他同类产品, 功

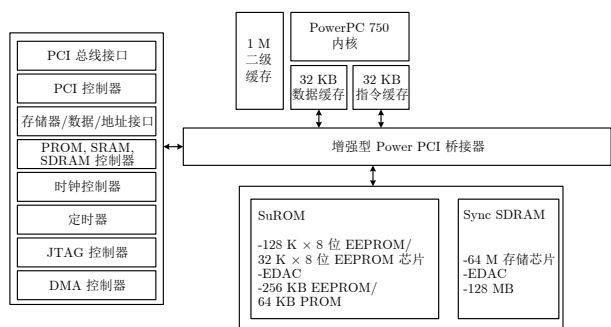


图 1 RAD750 架构

Fig.1 Architecture of RAD750

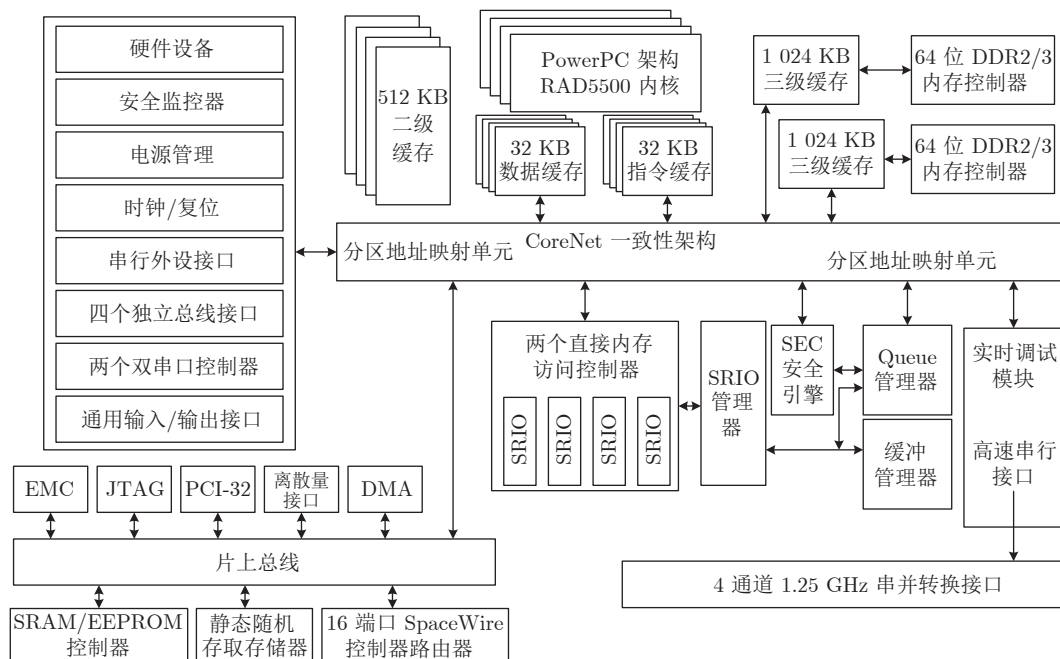


图 2 RAD5545 架构

Fig.2 Architecture of RAD5545

耗较高, 可能在某些低功耗应用场景中面临挑战。

1.3 HPSC 处理器项目

除 PowerPC 架构处理器外, 美国航天领域正在积极探索基于 ARM 架构的宇航用处理器研发路径。为突破现有星载计算能力难以满足当前及未来空间任务需求的瓶颈, 美国航天局于 2017 年启动了为期四年的“高性能航天飞行计算处理器”项目。该项目由波音公司主导, 联合密歇根大学及 ARM 公司共同实施, 其技术方案核心在于采用成熟的商业级 ARM A53 处理器核与配套的 Linaro 系统软件构建基础处理框架, 并通过设计加固技术实现处理器辐射耐受性。虽然现有航天器系统普遍采用抗辐射加固措施, 但传统方法往往以牺牲部分处理器的性能为代价。相较之下, HPSC 处理器在抗辐射加固设计上的创新点在于在更小的物理封装内实现同等或更高的抗辐射加固水平, 从而在保障系统可靠性的前提下, 为提升航天器整体计算效能提供了潜在的解决方案^[10]。

1.4 对美国宇航用处理器的分析

美国在宇航用处理器领域具备显著先发优势, 长期以 PowerPC 架构为主导技术路线。典型代表包括 NASA 主流应用的 RAD6000 以及 BAE Systems 公司迭代研发的 RAD750 (基于 PowerPC 750 核)、RAD5510 与 RAD5545 (基于 PowerPC

e5500 64 位核), 其关键技术指标对比详见表 1。基于体系化分析, PowerPC 架构的宇航用处理器呈现三大核心演进特征: 1) 计算架构并行化。为应对空间任务复杂度、提升对星载算力的刚性需求, 处理器架构从单核向多核跃迁, 突破主频提升瓶颈, 实现数据的高速实时并行处理。2) 数据处理位宽升级。2017 年问世的 64 位处理器 RAD5510/RAD5545 相较早期 32 位产品 (如 RAD6000/RAD750), 显著提升了数据处理效率, 但伴随着处理器核数与位宽增长, 处理性能提升与资源、功耗开销之间形成显著权衡。3) 抗辐射加固能力逐步增强。工艺层面采用绝缘体上硅替代体硅 CMOS 工艺抑制漏电流, 架构层面集成错误检测与纠正 EDAC (error detection and correction) 和三模冗余技术协同增强单粒子翻转耐受能力。

2 欧洲宇航用处理器发展

欧洲宇航用处理器自主发展历程呈现清晰的战略转向与技术演进。20 世纪 90 年代前, ESA 航天任务的关键处理器主要依赖美国供应, 其出口受制于《国际武器贸易条例》。90 年代初, 尽管欧洲本土公司 Dynex 推出符合 1750A 标准的 16 位单核处理器 MA31750, 但其性能有限且核心元器件仍依赖外部采购, 未能根本解决受制于人的困境。为彻底摆脱技术依赖, 欧洲确立了基于开源 SPARC 架构的自主发展路线^[11], 并由 ESA 主导、联合欧洲科研

表 1 美国宇航用处理器各指标对比
Table 1 Comparison of various indicators of U.S. aerospace processors

处理器	架构	内核	主频 (MHz)	核心数量	位数	TID (rad (Si))	SEU (错误/(位·天))	SEL (MeV·cm ² /mg)	性能	功耗 (W)
RAD6000	PowerPC	RS-6000	33	1	32	—	$\leq 7.4 \times 10^{-10}$	—	35 MIPS	—
RAD750	PowerPC	750	132 ~ 233	1	32	1 M	$\leq 1.6 \times 10^{-10}$	—	200 ~ 400 MIPS	5.0
RAD5510	Power	e5500	466	1	64	1 M	$\leq 8.0 \times 10^{-14}$	—	1.4 GOPS	11.5
RAD5545	Power	e5500	466	4	64	1 M	$\leq 2.0 \times 10^{-9}$	—	4.6 GOPS	17.7

机构与企业共同研制高可靠性的宇航用处理器. 首代产品为采用 ERC32 容错内核的 SPARC V7 架构处理器 TSC695F^[12-13]. 随后, Cobham Gaisler 公司基于 SPARC V8 架构开发了 LEON 系列处理器内核, 标志着欧洲自主设计能力的显著提升. 基于 LEON2, ATMEL 公司成功研制了第二代宇航用处理器 AT697F^[14-15]. 2006 年后, 为满足日益严苛的高可靠性与空间环境适应性需求, Cobham Gaisler 公司持续迭代, 相继推出具有抗辐照加固 (rad-hard) 特性的 LEON3-FT^[16] 和 LEON4-FT^[17] 内核, 并基于此开发了 GR712RC、GR740^[18] 等成熟的宇航用处理器芯片^[19]. 近期, 随着 RISC-V 开源指令集架构的兴起, ESA 已着手探索其应用于未来航天任务的潜力^[20], 体现了对新兴技术路线的持续关注.

2.1 TSC695F^[12]

20 世纪 90 年代中期, 为了满足性能、安全性等需求, ESA 采用开源的 SPARC 架构开发了第一款 32 位的 SPARC V7 架构处理器——ERC32. 基于 ERC32, ATMEL 公司设计并开发了单核宇航用处理器芯片——TSC695F^[13].

如图 3 所示, TSC695F 芯片内部的整数单元采用四级流水线设计, 可支持 64 位双精度浮点运算. 片上存储资源有可选配的 PROM、RAM, 并且支持内存操作的 EDAC 和奇偶校验功能. 片上集成丰富的外设接口, 配有时钟单元、UART、GPIO、中断

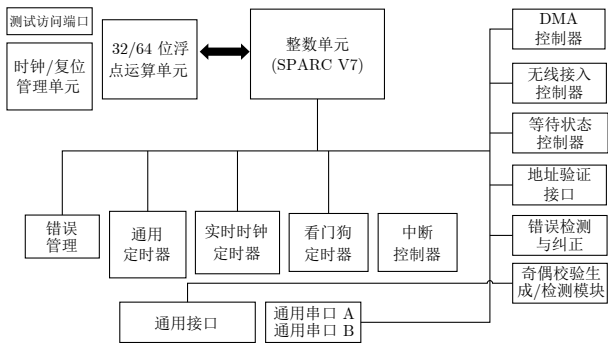


图 3 TSC695F 架构
Fig.3 Architecture of TSC695F

控制器、DMA (direct memory access) 控制器等. 该芯片的主频为 25 MHz, 并且带有抗辐照指标 (总剂量不小于 300 Krad (Si), 单粒子锁定阈值不小于 100 MeV·cm²/mg), 单粒子功能中断的在轨错误率不大于 3×10^{-8} 错误/(器件·天). TSC695F 芯片的低功耗设计和强抗辐照能力保证了其在轨的稳定运行, 适用于高可靠需求的航天任务. 但是该芯片 25 MHz 的主频, 限制了其在复杂计算任务中的处理能力, 无法满足复杂运算的需求.

2.2 AT697F^[14]

在 ERC32 的基础上, Cobham Gaisler 公司推出 LEON 系列处理器. ATMEL 公司基于 LEON2, 开发了一款低功耗 32 位宇航用处理器芯片——AT697F, 并将其应用到多种航天任务中. AT697F 处理器采用经典五级流水线架构 (图 4), 核心为 32 位 SPARC V8 整数单元并集成了 32 位浮点运算单元 (floating point unit, FPU). 其片上互联基于 ARM AMBA 总线, 配备了 16 KB 数据缓存 (D-Cache) 与 32 KB 指令缓存 (I-Cache).

值得关注的是, AMBA (advanced microcontroller bus architecture) 总线集成了丰富的外设接口 (包括 GPIO、PCI、串行通信) 及关键系统模块 (如看门狗定时器、中断控制器和可配置寄存器),

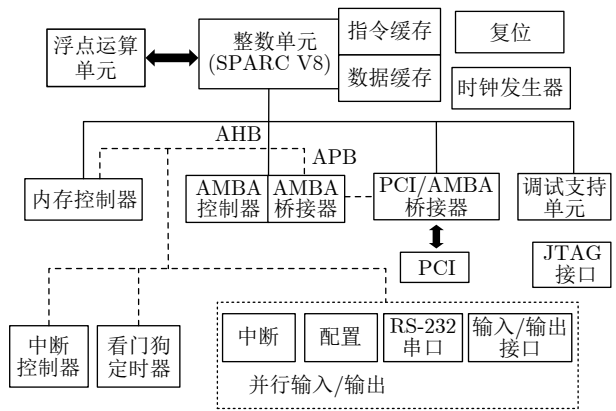


图 4 AT697F 架构
Fig.4 Architecture of AT697F

显著提升了芯片的集成度与综合性能表现。在功耗管理方面, AT697F 采用了时钟管理器对系统时钟进行动态配置与优化, 有效降低了系统能耗。尤为关键的是其容错设计: AT697F 综合运用了 TMR、EDAC 以及奇偶校验码等多种机制, 为在宇航环境下的数据可靠性和系统稳定性提供了有力保障。

性能对比分析表明, 相较于前代产品 TSC695F, AT697F 的性能实现了显著跃升, 其处理能力可达 0.86 DMIPS/MHz, 同时在 100 MHz 工作频率下功耗仅约为 1 W。在至关重要的抗辐照性能方面, AT697F 展现优异的耐受性: 抗总剂量辐照能力不小于 300 Krad (Si), SEL 阈值不低于 70 MeV·cm²/mg, 单粒子功能中断的在轨错误率不高于 1×10^{-5} 错误/(器件·天)。

2.3 GR740^[18]

21 世纪初, ESA 启动下一代多用途微处理器计划, 旨在开发满足航天任务需求的高性能通用处理器。如图 5 所示, GR740 是一款面向宇航应用的 32 位四核处理器, 其架构基于成熟的 SPARC V8 指令集, 并采用经抗辐照加固的 LEON4-FT 处理器核。

在计算核心设计上, 每个核均配备七级流水线整数单元、独立的 16 KB 指令与数据缓存 (I/D-Cache, 哈佛架构), 并集成了浮点运算单元和内存管理单元 (memory management unit, MMU), 为支持复杂操作系统提供了坚实基础。尤为关键的是

其共享的二级缓存设计: 一个容量达 2 MB 的 L2-Cache 采用纠错能力强的 BCH 码进行保护, 并支持分支预测, 显著提升了多核协同效率和数据可靠性。在系统互联与扩展性方面, GR740 采用了 5 条 AMBA AHB 总线构建片上网络 (network on chip, NoC), 增强了内部通信带宽和并行处理能力。

GR740 处理器包含丰富的外设接口: 集成了多个 UART、GPIO、SPI 控制器、MIL-STD-1553B 总线、以太网 MAC、CAN 总线控制器以及高速 SpaceWire 链路等, 几乎覆盖了宇航电子系统的主流通信需求。调试支持亦相当完备, 涵盖 JTAG、SpaceWire 及以太网 EDCL。性能与可靠性表现卓越: GR740 主频可达 250 MHz, 处理能力达 1.7 DMIPS/MHz。在至关重要的抗辐照性能上, 其加固设计表现尤为突出: 抗总剂量辐照能力不小于 300 Krad (Si), SEL 阈值不低于 125 MeV·cm²/mg, 单粒子功能中断的在轨错误率不高于 1×10^{-5} 错误/(器件·天)。

2.4 NOEL-V^[20-21]

2019 年, 在 RISC-V 蓬勃发展的背景下, 欧洲航天局提出 De-RISC (dependable real-time infrastructure for safety-critical computer)^[22] 计划, 该计划旨在在航空和航天系统中引入 RISC-V 架构, 并解决在空间系统和关键的安全应用中使用复杂的多核系统出现的问题。NOEL-V 是 ESA 继 LEON 系列后开发的第一款 RISC-V 高可靠宇航用处理器, 也是 Cobham Gaisler 公司发布的一款 RISC-V 处理器, 作为对 LEON 系列的有效补充^[20]。

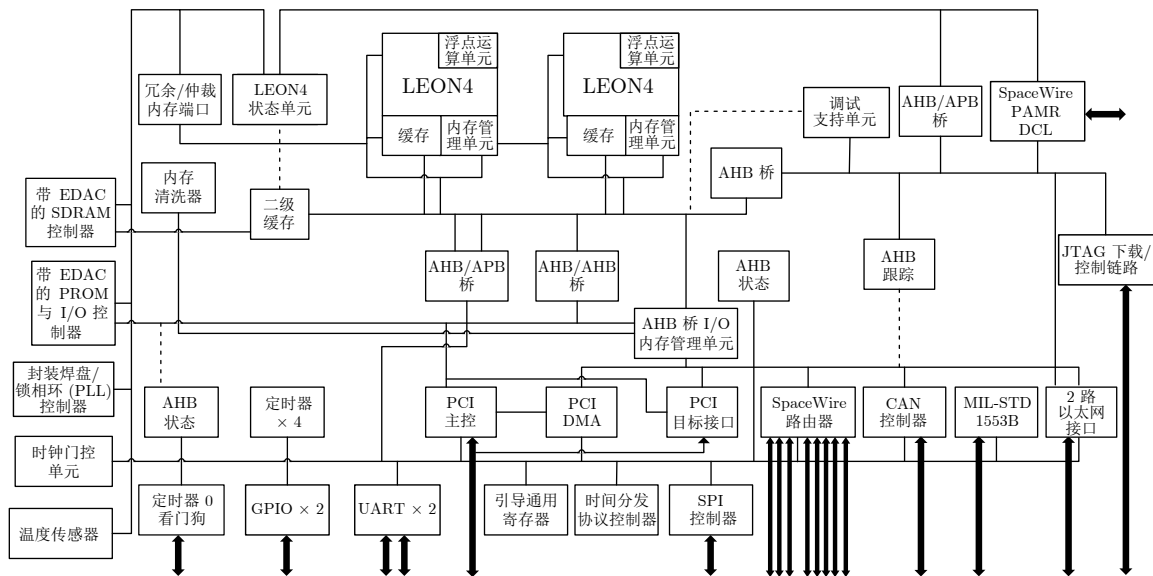


图 5 GR740 架构

Fig.5 Architecture of GR740

NOEL-V 是 64 位双发射 RISC-V 处理器. 如图 6 所示, 与 LEON 相比, NOEL-V 添加了动态分支预测, 使用 BTB、RAS 和四个完整的算术逻辑单元 (ALU) 提高处理器性能, 其 CoreMark 评分为 4.03 ~ 4.69 CoreMark/MHz. NOEL-V 使用 AMBA 2.0 AHB 总线接口, 并支持对 Cobham Gaisler IP 库提供的 IP 核心即插即用. 该处理器可以在 FPGA 和 ASIC 技术上高效地实现, 并使用标准的同步存储单元构建缓存和寄存器文件. 其显著的性能提升和灵活的 IP 支持, 使自身在高性能与可定制性要求较高的航天应用中具有较大的潜力. 然而, 尽管该处理器性能较 LEON 有所提升, 但在功耗与复杂任务处理的平衡上仍需进一步优化, 以适应更多高负载任务的需求.

2.5 对欧洲宇航用处理器的分析

欧洲宇航用处理器经过近四十年的发展, 从最初元器件依靠美国进口, 到选择适合自身发展的开源架构, 现今已经有若干 SPARC 架构的处理器应用到其空间任务中, 走出一条区别于美国的新型宇航用处理器发展道路. 同时, RISC-V 开源架构的出现也给 ESA 带来了新的发展思路, 并且相关技术已逐步进入开发阶段.

对欧洲代表性宇航用处理器的关键指标进行分析 (如表 2 所示), 可以看出, 这些处理器在性能、可靠性和可扩展性方面展现出显著优势, 特别是在提高计算能力和适应复杂航天任务需求方面. 其发展可归纳为以下特征:

1) 单核向多核架构发展. 继欧洲下一代微处理器计划之后, 诸如 GR740 和 NOEL-V 等新一代处理器均采用多核设计, 显著提升了并行处理能力与整体性能.

2) 流水线深度增加. 通过增加流水线深度 (例如从 TSC695F 的四级发展到 GR740 的七级), 可以细化指令执行阶段、缩短关键路径延迟、提高处理器主频和指令级并行能力, 从而有效提升了处理器性能.

3) 处理器架构的发展应用. 采用开源且灵活的 RISC-V 架构开发高性能处理器已成为欧洲航天局下一阶段的重要规划. 鉴于同样开源的 SPARC 架构应用规模逐渐缩减, 欧洲航天局正着力发展 RISC-V 架构处理器以补充甚至替代 SPARC 架构产品. 目前已推出的基于 RISC-V 的 NOEL-V 处理器展现出优异的性能表现.

4) 抗辐照能力持续增强. 通过应用先进的 EDAC, 如 Reed-Muller 码、BCH 码等, 显著提升了存储器件对 SEU 的容错能力. 数据分析表明: 尽管工艺技术进步使得器件集成的存储容量不断增大, 导致器件整体的在轨单粒子功能错误率有所上升, 但单位数据的错误发生概率却在持续下降.

3 国内宇航用处理器发展

我国宇航用处理器的发展始于 20 世纪 70 年代. 进入 80 年代后, 星载计算机主要采用 Intel 8086 和 80386 系列微处理器; 在重点卫星型号上, 则多选用具备一定抗辐照性能的处理器, 如 80C86

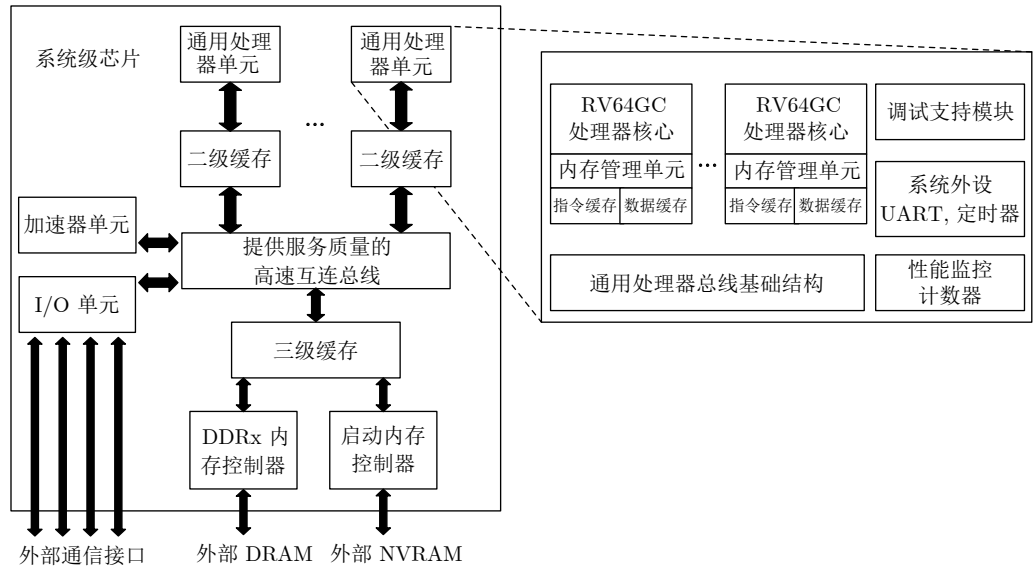


图 6 NOEL-V 架构
Fig.6 Architecture of NOEL-V

表 2 欧洲宇航用处理器各指标对比
Table 2 Comparison of various indicators of European aerospace processors

处理器	架构	主频 (MHz)	内核	核心 数量	流水线	位数	性能 (DMIPS/MHz)	TID (rad (Si))	SEU (错误/(器件·天))	SEL (MeV·cm ² /mg)	功耗 (W)	工艺 (nm)
MA31750	—	25	—	1	—	—	—	≥ 300 K	≤ 6 × 10 ⁻⁷	—	—	—
TSC695F	SPARC V7	25	ERC32	1	四	32	0.80	≥ 300 K	≤ 3 × 10 ⁻⁸	≥ 100	≤ 1.5	500 (MG2RT)
AT697F	SPARC V8	100	LEON2	1	五	32	0.86	≥ 300 K	≤ 1 × 10 ⁻⁵	≥ 70	≤ 1.0	180 (CMOS)
GR740	SPARC V8	250	LEON4-FT	4	七	32	1.70	≥ 300 K	≤ 1 × 10 ⁻⁵	≥ 125	≤ 1.8	65 (CMOS)
NOEL-V	RISC-V	—	—	4	七	64	—	—	—	—	—	—

或 1750 系列. 2000 年后, 国内相关研究机构、高校及集成电路设计生产企业, 通过引进和逆向设计 ERC32 等开源架构处理器, 逐步开启了国产宇航用处理器的自主研发进程^[23]. 在此阶段, 部分重点卫星型号也开始应用如 TSC695F、AT697F 等抗辐照加固处理器.

为满足宇航用芯片自主发展的需求, 解决已有的处理器关键技术支持严重不足与处理器内部逻辑、软件代码缺乏控制的问题, 我国航天科研人员学习借鉴国外研究思路, 逐步研制了一批国产宇航用处理器, 并将其应用到航天任务.

3.1 SoC2008、SoC2012^[24-25]

随着集成电路的快速发展, 处理器的集成度越来越高, 许多功能器件可以集成在一个芯片上, SoC 开始逐渐普及, 并且走向太空. 因此, 为满足我国自主可控、自主发展处理器的需求, 基于技术发展趋势, 北京控制工程研究所采用 SPARC V8 架构研究宇航用处理器, 推出 SoC2008.

作为我国首款应用于重点卫星型号的国产星载高性能计算处理器 (如图 7 所示), SoC2008 集成了单核 SPARC V8 处理器内核, 具备八个寄存器窗口和七级流水线结构, 包含 8 KB 数据缓存与 16

KB 指令缓存, 并支持单精度与双精度 FPU.

SoC2008 集成的存储器控制器支持访问可编程只读存储器 (PROM)、同步动态随机存取存储器 (SDRAM) 以及 I/O 映射空间. 此外, 该处理器还集成了中断控制器、定时器、带有跟踪缓冲器的硬件调试单元、串行通信接口、通用输入/输出接口和 MIL-STD-1553B 总线接口等关键外设. 在容错设计方面, SoC2008 采用了 TMR、纠一位错/检两位错 (single-error correction/ double-error detection, SEC-DED) 的纠错检错码以及奇偶校验机制. 其性能指标包括: 最高工作频率 100 MHz, 运算性能达 0.86 DMIPS/MHz; 抗辐照性能优异, 具体表现为抗总剂量辐照能力不小于 100 Krad (Si), SEL 阈值不小于 100 MeV·cm²/mg, 单粒子功能中断在轨错误率不大于 1.0 × 10⁻⁷ 错误/(器件·天).

在 SoC2008 成功研制并应用的基础上, 为满足航天任务复杂化的需求, 2012 年, 北京控制工程研究所研制出一款四核的宇航用高性能高可靠处理器——SoC2012. 如图 8 所示, 相较于 SoC2008, SoC2012 在片上集成了四个 SPARC V8 处理器内核.

SoC2012 的容错设计采用了带时钟树的 TMR、SEC-DED 的纠错检错码、奇偶校验机制, 并对关键寄存器文件实施了带表决器的三模冗余保护, 显著

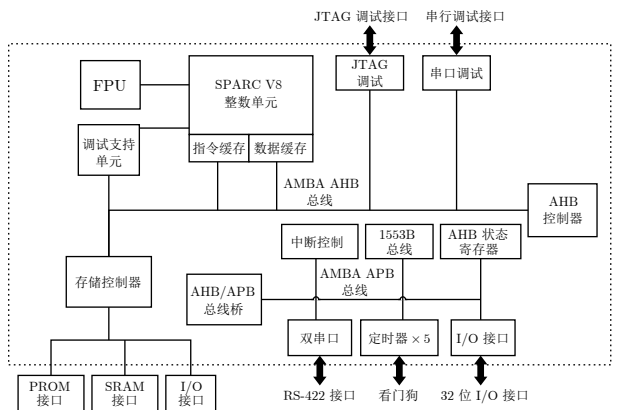


图 7 SoC2008 架构

Fig.7 Architecture of SoC2008

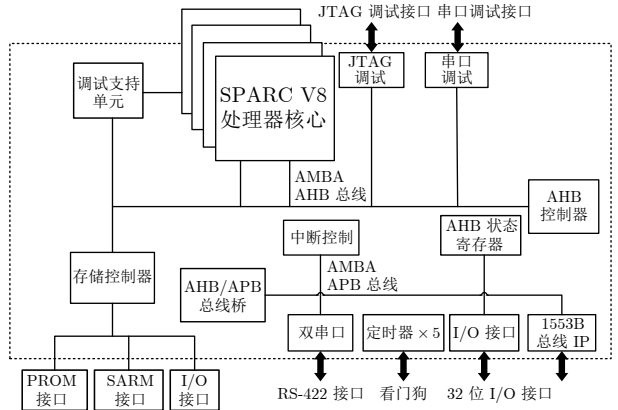


图 8 SoC2012 架构

Fig.8 Architecture of SoC2012

提升了整体抗辐照能力. 该处理器最高工作频率为 100 MHz, 运算性能达 3.00 DMIPS/MHz. 在抗辐照性能方面: 抗总剂量辐照能力不小于 200 Krad (Si), 单粒子锁定阈值不小于 $100 \text{ MeV} \cdot \text{cm}^2/\text{mg}$, 单粒子功能中断在轨错误率不大于 3×10^{-8} 错误/(器件·天).

目前, SoC2008、SoC2012 已经成功应用到多个型号任务中, 例如 2012 年成功发射的实践九号 A/B 卫星, 其中实践九号 B 卫星上搭载的控制计算机核心就是 SoC2008, 其在轨工作正常且回传图像清晰. SoC2008、SoC2012 的成功在轨应用, 使我国宇航用处理器技术开始逐步摆脱国外制约, 实现自主发展、自主可控, 并加快了产品的更新周期, 实现产业升级, 同时也减少了高昂的采购费用, 为我国的宇航用处理器自主发展打下坚实的基础.

3.2 BM3803FMGRH^[26]

2011 年, 北京微电子技术研究所成功研制出抗辐照 32 位处理器 BM3803FMGRH. 该芯片基于 SPARC V8 架构设计, 集成了高性能整数处理单元 (配备硬件乘法器与除法器)、16 KB 数据缓存、32 KB 指令缓存, 并支持单精度与双精度浮点运算单元. 其丰富的外设资源包括: 中断控制器、带跟踪缓冲器的硬件调试单元、24 位定时器、GPIO 接口、看门狗定时器以及 PCI 控制器. 在存储器支持方面, 其集成的控制器可访问 8 位/16 位/32 位 PROM、SRAM、SDRAM 及 I/O 映射空间. 此外, 芯片还提供了可由软件控制的省电工作模式. 针对复杂的空间辐照环境, BM3803FMGRH 采用了带表决器的 TMR、SEC-DED 的纠错检错码以及奇偶校验机制进行容错设计.

如图 9 所示, BM3803FMGRH 处理器的主频可达 100 MHz, 在 100 MHz 工作频率下的性能为 0.85 DMIPS/MHz. 其抗辐照能力表现优异: TID 不小于 100 Krad (Si), SEL 阈值 (线性能量传输值

LET) 不小于 $75 \text{ MeV} \cdot \text{cm}^2/\text{mg}$, 单粒子功能中断在轨错误率不大于 8×10^{-5} 错误/(器件·天). 基于 BM-3803 系列处理器 (如 BM3803FMGRH), 国内研究人员在系统软件与开发工具方面开展了广泛研究, 例如开发了配套的调试器、操作系统及模拟器, 进一步丰富了宇航用处理器的技术生态.

3.3 龙芯^[27]

除航天机构外, 我国高校、研究所也开发研制了自己的宇航用处理器. 2002 年, 中国科学院计算技术研究所基于 MIPS 架构开展研究工作. 2002 年 8 月, “龙芯 1 号”成功流片^[28]. 随后, 中国科学院计算技术研究所相继研发了 64 位单核处理器“龙芯 2 号”和高性能多核处理器“龙芯 3 号”.

在这些通用的处理器基础上, 其研究团队开展抗辐照芯片的研发工作, 又先后推出“龙芯 1E03”、“龙芯 1F04”、“龙芯 1E300”、“龙芯 1F300”、“龙芯 1J”、“龙芯 1E1000”六款抗辐照处理器芯片. 龙芯系列产品的指标如表 3 所示, 形成了从低主频 (10 ~ 100 MHz) 到高主频 (1 GHz)、从 KB 级到 MB 级缓存、从 SRAM 到 DDR2 的多规格产品布局. 在容错设计上, 其采用三模冗余和检错码以及互锁存储结构提高可靠性. 从性能指标来看, 该系列产品多数基于轻量化 MIPS 架构, 缓存及存储带宽有限, 在面对智能处理任务的计算需求时略显不足. 目前, “龙芯”系列处理器 (LS1E 与 LS1F) 已成功应用于北斗卫星上, 服务于数据处理计算机、自主运行单元处理机和导航任务处理机^[29].

3.4 对我国宇航用处理器的分析

总体来说, 虽然我国宇航用处理器的起步较晚, 但我国宇航用处理器在近二十年的自主发展中, 积累了完整的设计经验, 主要产品主频可达 100 ~ 200 MHz, 北京控制工程研究所研制的 SoC2008、SoC2012 在抗辐照指标上表现更为优异. 且近年来我国半导体产业飞速发展, 也推动了宇航用处理器更快速地实现技术优化、产业升级.

由表 4 中数据分析可知, 我国宇航用处理器发展呈现如下特点: 1) 主要采用 SPARC 架构. SPARC 架构作为开源架构, 在技术实现上不会受到制约, 且欧洲已有成熟的设计、生产流程, 我国可借鉴其技术并自主发展. 2) 多家研制, 性能持平. 除航天院所如北京控制工程研究所、北京微电子技术研究所外, 中国科学院计算技术研究所、国防科技大学等科研单位也加入了宇航用处理器研制队伍中, 产品较多. 这些处理器主频基本处于 100 至 200 MHz,

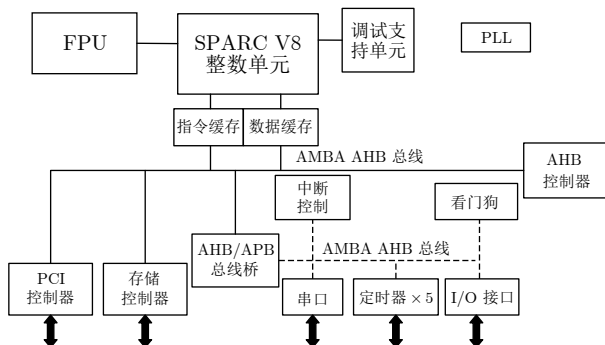


图 9 BM3803FMGRH 架构

Fig.9 Architecture of BM3803FMGRH

表 3 龙芯系列产品架构指标
Table 3 Loongson series product architecture indicators

处理器	架构	L1 Cache	L2 Cache	核心数量	主频 (Hz)	内存接口	SpaceWire	MIL-STD-1553B	PCI	UART	I ² C	SPI
1J	MIPS	—	—	1	10 M	—	—	—	—	√	√	√
1F04	MIPS	—	—	1	33 M	SRAM	—	√	√	√	—	—
1F300	MIPS	—	—	1	100 M	SRAM、SDRAM	√	√	√	√	—	—
1E03	MIPS	8 K + 8 K	—	1	100 M	SDRAM	—	—	√	√	√	√
1E300	MIPS	16 K + 16 K	—	1	200 M	SDRAM	—	—	√	√	√	√
1E1000	MIPS	32 K + 32 K	1 M	2	1 G	DDR2/3	√	—	—	√	√	√

表 4 我国宇航用处理器各指标对比
Table 4 Comparison of various indicators of China's aerospace processors

处理器	架构	主频 (MHz)	核心数量	流水线	性能 (DMIPS/MHz)	TID (rad (Si))	SEU (错误/ (器件·天))	SEL (MeV·cm ² /mg)	功耗 (W)	工艺 (nm)
SoC2008	SPARC V8	100	1	七	0.86	≥ 100 K	≤ 1.0 × 10 ⁻⁷	≥ 100	≤ 0.7	130 (CMOS)
SoC2012	SPARC V8	100	4	七	3.00	≥ 200 K	≤ 3.0 × 10 ⁻⁸	≥ 100	≤ 1.0	130 (CMOS)
BM3803FMGRH	SPARC V8	100	1	七	0.85	≥ 100 K	≤ 8.0 × 10 ⁻⁵	≥ 75	≤ 1.0	—
LS1E	MIPS	200	1	—	—	≥ 300 K	≤ 6.5 × 10 ⁻⁵	≥ 75	≤ 3.0	180 (CMOS)
LS1F	MIPS	100	1	—	—	≥ 100 K	≤ 1.0 × 10 ⁻⁵	≥ 75	≤ 3.0	180 (CMOS)

流水线深度均为七级流水, 单核性能基本持平. 我国宇航用处理器主要采用 SPARC 架构和 MIPS 架构: SPARC 架构由于商业原因, 目前已经逐步没落; MIPS 在与面向低功耗嵌入式领域的 ARM 架构的竞争中也逐渐走向下坡路. 目前我国宇航用处理器发展还处在由借鉴国外先进技术到自主发展创新的阶段, 缺少核心技术. 因此, 发展国产宇航用处理器必须寻求新的架构, 掌握完整的设计技术, 完成技术闭环, 从而实现自主发展的目标.

4 宇航用处理器未来发展趋势

欧美航天强国在宇航用处理器领域的研究始于 20 世纪 70 年代, 至今已有五十多年的历史, 分析这些国家的进展对推动我国航天事业发展很有帮助. 如图 10 所示, 从传统宇航用处理器的发展路径来看, 长期以来主要采用 PowerPC 和 SPARC 两类架构, 其中美国以 PowerPC 架构为代表, 欧洲及我国则较多采用 SPARC 架构.

由于 PowerPC 架构成本高, 且主要面向服务器市场, 它在与 x86 架构的竞争中逐渐失去优势. 为此, 美国在 2017 年启动了 HPSC 项目, 转向 ARM 架构, 目标是让 ARM 架构成为下一代宇航用处理器的核心平台. 近年来, 开源指令集架构 RISC-V 因其灵活设计、简化硬件路径和完全开源的特点^[30], 成为国际航天领域的热点. 它的优势符合宇航用处理器对自主可控、低功耗和高性能的需求^[31]. 这一架构为我国和欧洲提供了突破现有技术的机会. 目前, 中欧在 RISC-V 架构的航天应用领

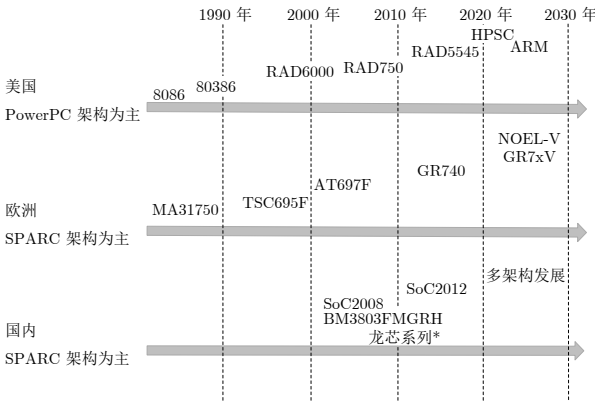


图 10 美国、欧洲以及我国宇航用处理器发展历程
Fig. 10 The development history of aerospace processors in the U.S., Europe and China

域已展开研究, 并取得初步进展^[32]. 这一趋势表明, 不同架构在航天领域的应用正在同步推进.

近年来, 随着开源指令集架构的发展, RISC-V 逐渐进入宇航用处理器领域, 目前已形成 PowerPC、SPARC 和 RISC-V 等多种架构并行发展的格局. PowerPC 架构在航天中使用较早, 性能优异且经验积累丰富, 但依赖国外厂商, 缺乏自主控制; SPARC 架构在航天领域中应用历史悠久、抗辐照加固好、可靠性高, 但更新慢, 性能和功耗与商用处理器差距大; RISC-V 架构开源, 能根据任务需要调整算力、功耗和可靠性, 但尚处于发展阶段, 仍需进一步完善. 不同架构在成熟度、性能和可控性上各有优劣, 提供了不同的选择.

与此同时,全球主要航天机构正积极布局新一代高性能宇航用处理器研发计划^[33]。综合技术演进趋势与任务需求,未来宇航用处理器的发展将聚焦于两大并行方向:面向通用计算场景的高性能、高集成度、高可靠性与超低功耗处理器以及面向智能自主任务的智能化宇航用处理器。前者致力于提升传统航天系统的综合性能与效率,后者则旨在赋予航天器更强的在轨实时感知、决策与处理能力。

4.1 通用宇航用处理器

通用宇航用处理器的未来发展将围绕高性能、高集成度、低功耗与高可靠性四个核心维度展开,以应对日益复杂的航天任务需求。

4.1.1 高性能

处理性能是衡量计算能力的关键指标,也是应对航天任务复杂化和多样化需求的基础^[34]。未来的性能提升将依赖以下技术路径:1) 数据位宽扩展。主流宇航用处理器已从 32 位转为 64 位架构,位宽的增加提高了数据处理能力,吞吐量增加,整体效率提升。2) 流水线深度优化。增加流水线深度简化了每级的逻辑复杂度,缩短关键路径的延迟,从而提高处理器的主频和工作频率。3) 多核并行计算。集成更多的处理核心支持多线程并行执行,通过协同工作提高单位时间内的任务处理能力。4) 先进工艺迭代。使用更小特征尺寸的工艺可以缩小晶体管的尺寸,提升开关速度,同时减小芯片面积。特别是使用抗辐照 SOI 工艺替代传统 CMOS 工艺,能有效减少漏电流,进一步优化功耗性能比。

未来的通用宇航用处理器还将在多核架构和系统级芯片(system on chip, SoC)设计的基础上大幅提升计算能力,以应对航天任务日益复杂和多样化的需求^[35]。多核架构通过集成多个处理核心,实现并行计算和任务协同,大幅提升任务处理能力。在多核系统中,每个核心可以独立执行任务,核心之间共享数据,通过智能调度算法优化计算负载分配,提高数据处理速度,尤其在大规模数据处理或复杂计算任务中,能够显著提升效率。

4.1.2 高集成度

得益于半导体工艺进入纳米尺度,片上集成度持续提升。高集成度技术使得宇航电子系统(如单板计算机甚至整星控制系统)的功能得以在单颗芯片上实现,这不仅大幅提升卫星电子设备的功能密度,显著减小体积与重量,更能优化内部互连性能,增强系统的整体可靠性^[36]。因此,未来通用宇航用处理器将集成更丰富的高速片上总线、大容量存储器以及多样化的专用接口资源。

4.1.3 低功耗

低功耗是航天任务设计主要关注的问题之一。首先,在空间环境中,航天器可使用的能源有限,需要满足各个环节的能源需求。其次,过高的功耗会导致电路烧毁、数据错误等可靠性问题^[37]。而集成度越高,在同一芯片上的晶体管越多,将会导致功耗大幅增加。同时,工作频率的提高也会使数据发生位翻转的频率加快,增大功耗。因此解决高集成度、高主频带来的功耗问题将成为未来宇航用处理器发展的方向之一,可采用降低电压(如从 5.0 V 左右降低到 1.8 V)、采用 SOI 工艺降低漏电流、异步电路设计、BGA 封装技术等手段来降低功耗^[38]。

4.1.4 高可靠性

在空间环境中,宇航用处理器容易受到辐射影响,导致电路和数据损坏^[39]。目前,研究人员已经在软件级、体系结构级、逻辑级、电路级和工艺级等不同层次对宇航处理器进行了抗辐照加固。然而,随着半导体技术的发展,半导体特征尺寸变小,导致在同一芯片上的晶体管数量增加,线路也变得更复杂^[40]。为了提高性能,芯片将集成更多硬件单元。在辐射环境下,元器件密集度增加,使其更容易受到辐射影响,从而带来更大的可靠性问题^[41-42]。因此,改进抗辐照设计^[43]、优化工艺和器件的抗辐照能力是未来宇航用处理器发展的关键^[44]。

综上,未来的通用宇航用处理器将朝着高性能、高集成度、低功耗和高可靠性的方向发展。

4.2 智能宇航用处理器

随着科技进步,智能处理器在航天领域中的应用逐渐增多。传统的处理器技术通过缩小器件尺寸提高速度、降低功耗,虽然过去几十年取得了一些进展,但随着硅 CMOS 技术接近极限,摩尔定律的延续面临挑战^[45]。这意味着单纯依赖尺寸缩小无法持续提高性能,新的技术进展为处理器性能突破带来了新机会^[46-47]。目前,许多领域已广泛使用这些处理器,显著提升了计算能力^[48]。

在航天领域,任务变得越来越复杂,对处理器的要求也越来越高,例如空天信息和智能检测任务需要更智能的处理器^[49]。传统的通用处理器已经难以满足实时感知、自主决策和复杂计算的需求。因此,智能宇航用处理器的发展是推动航天任务智能化的关键^[50]。

随着技术进步,智能处理器将使航天器具备更强的自主感知和决策能力,大幅提升航天任务的智能化水平。通过集成专用硬件加速单元和自适应计算架构,智能处理器将提高航天器在复杂空间环境

中的反应能力, 满足未来任务对实时感知、自主决策和智能处理的需求^[51]。

4.2.1 在轨 AI 处理

在轨 AI 处理是智能航天的关键, 它让航天器在轨道上直接分析数据、识别图像并作出决策。传统航天器通常需要将大量数据传回地面处理, 而在轨 AI 处理可以让航天器直接在轨道上处理数据, 减少数据传输时间, 提高任务效率。

通过使用专用处理单元 (如神经网络处理单元 (neural processing unit, NPU)), 在轨 AI 处理能快速分析航天器传感器收集的数据, 并立即作出响应, 支持环境感知、自主决策和任务执行^[52]。这项技术特别适用于深空探测, 确保航天器在没有地面指令的情况下完成任务^[53]。例如, Cappellone 等^[54]研究了如何在 RISC-V 多核处理器上使用循环神经网络进行卫星遥测数据预测, 为在轨数据处理提供了有力的支持。

4.2.2 边缘智能

边缘智能是将数据处理和计算从传统中心化系统转移到设备本地的技术^[55]。与传统模式不同, 边缘智能让航天器的处理器直接处理数据, 避免通信延迟的影响。通过将计算任务靠近数据源, 边缘智能可以更有效地完成实时任务, 如卫星图像处理、环境监测和空间导航等。

边缘智能的一个优势是低延迟和高效率。航天器可以在本地处理数据, 快速响应外部环境变化, 调整轨道或避开空间碎片, 从而提高任务的自主性和灵活性。此外, 边缘智能还能帮助航天器应对紧急情况或未知情境, 执行应急任务。

4.2.3 异构计算

异构计算是指在同一系统中使用不同类型的处理单元, 共同完成计算任务。航天任务的计算需求通常很复杂, 如果仅采用一种通用处理器, 速度、功耗和响应时间很难平衡。使用异构架构后, 可以根据任务需要选择最合适的处理单元, 提高效率。

在宇航用处理器中, 异构计算是提升处理能力和应对复杂任务的关键技术^[56]。例如, CPU 负责系统任务和常规计算, GPU 用于并行处理图像和视频数据, NPU 等加速单元用于加速深度学习任务。通过这种分工, 航天器在复杂任务中能保持快速反应, 减轻主处理器负担, 特别是在快速识别和并行处理任务时, 效果更明显。

4.2.4 典型智能处理器架构应用

神经网络处理单元是专门为加速神经网络计算设计的硬件加速单元。通过在硬件层面对卷积、矩

阵运算等算子进行加速, NPU 能够显著提高星载平台上的算法运行效率。在航天领域, NPU 已被应用于空间遥感数据的快速处理、卫星自主导航的特征提取与匹配以及星载人工智能的数据分析等任务。例如, NASA 的 JPL (Jet Propulsion Laboratory) 在相关任务中引入了加速单元, 用于卫星上的图像处理与数据分析, 从而实现了实时目标识别和自主响应^[57]。

领域特定架构 (domain-specific architecture, DSA) 是一种根据任务需求动态组合硬件资源的处理器架构。它可以在运行过程中调整硬件结构, 从而提高计算性能。在航天领域, DSA 主要用于处理大规模数据, 尤其在需要实时处理大量数据的空间任务中, 如空间探测器或卫星的实时数据传输与处理。通过硬件资源的动态调整, DSA 可以根据不同任务阶段的需求, 选择最合适的硬件配置, 从而提升任务的处理能力和响应速度^[58]。

随着这些技术的发展, 智能处理器将使航天器具备更强的自主感知与决策能力, 显著提升航天任务的智能化水平。智能处理器通过集成专用硬件加速单元与自适应计算架构, 能够显著增强航天器在复杂空间环境中的认知与响应能力, 满足在未来航天任务中对实时感知、自主决策和智能处理的严苛要求。

4.3 中外对比与启示

欧美和我国在宇航用处理器的技术选择和应用需求上有差异。美国航天局和欧洲航天局在该领域已有几十年经验, 特别是在高性能计算、多核架构和 AI 加速器集成方面取得了显著进展。美国主要使用 PowerPC 和 ARM 架构, 专注于研发高性能宇航用处理器。欧洲则采用 SPARC 架构, 注重开放性和模块化设计, NOEL-V 处理器标志着欧洲航天局向 RISC-V 架构的扩展。此外, 欧美在抗辐照和可靠性方面的研究基础也较强, 尤其在 SOI 工艺和容错设计上, 已经形成了成熟的抗辐照加固方法^[35]。

我国在宇航用处理器的研究起步较晚, 但近年来在自主可控和高集成度设计方面取得了显著进展, 尤其在自主导航、智能遥感和自主决策任务中展现了巨大潜力。我国的优势在于国家的支持和政策引导, 集中投入了大量的科研资源, 特别是在 RISC-V 架构领域, 推动了关键核心技术实现自主可控。然而, 我国在高性能计算、抗辐照能力和多核架构优化方面仍有提升空间。基于此, 提出以下建议:

1) 自主可控的处理器发展。根据我国航天技术

需求, 推动 RISC-V 架构在航天领域的应用, 发展可控的处理器架构, 突破现有技术, 减少对外依赖, 提升自主创新能力。

2) 突破关键技术瓶颈. 为设计自主可控的高性能处理器, 需重点研究高性能计算、抗辐照技术和低功耗技术, 特别是针对空间环境中的高辐射和极端温差, 以提升宇航用处理器的可靠性与稳定性。

3) AI 加速与 SoC 集成. 推动 AI 加速与 SoC 集成, 为未来航天任务中图像处理、实时数据分析和自主决策提供支持. 通过高集成度、低功耗的 SoC 架构, 提升航天器在轨作业中的计算能力和能效。

4) 加强国际合作与技术交流. 在技术发展过程中, 与国际航天机构和科研单位的合作, 特别是与欧美等技术领先的国家开展技术交流, 可以推动我国技术的国际化应用。

参考文献

- Yuan Li, Jiang Tian-Tian, Wei Chun-Ling, Yang Meng-Fei. Advances and perspectives of space control technology. *Acta Automatica Sinica*, 2023, **49**(3): 476–493 (袁利, 姜甜甜, 魏春岭, 杨孟飞. 空间控制技术发展展望. 自动化学报, 2023, **49**(3): 476–493)
- Du Yong-Hao, Xing Li-Ning, Yao Feng, Chen Ying-Guo. Survey on models, algorithms and general techniques for spacecraft mission scheduling. *Acta Automatica Sinica*, 2021, **47**(12): 2715–2741 (杜永浩, 邢立宁, 姚锋, 陈盈果. 航天器任务调度模型、算法与通用求解技术综述. 自动化学报, 2021, **47**(12): 2715–2741)
- Marshall J R, Robertson J. An embedded microcontroller for spacecraft applications. In: Proceedings of the IEEE Aerospace Conference. Big Sky, USA: IEEE, 2006. 1–9
- RAD750 radiation-hardened PowerPC microprocessor [Online], available: <https://www.baesystems.com/en/article/gps-iii-satellite-launches-with-rad750-single-board-computers>, August 17, 2026
- RAD6000TM space computers [Online], available: <https://foro.sondasespaciales.com/index.php?action=dlattach;topic=5280.0;attach=334>, August 17, 2026
- Qin Hui, Yu Li-Xin. Development trends and characteristics of aerospace processor technology. In: Proceedings of the 6th Aerospace Electronics Strategy Research Forum Papers. Beijing, China: Science and Technology Committee of China Academy of Aerospace Electronics Technology, 2019. 54–58 (覃辉, 于立新. 宇航处理器技术发展趋势和特点. 见: 第六届航天电子战略研究论坛论文集. 北京, 中国: 中国航天电子技术研究院科学技术委员会, 2019. 54–58)
- RAD5510 single-core system-on-chip power architecture processor [Online], available: <https://satsearch.co/products/bae-systems-rad5510-single-core>, December 2, 2025
- RAD5545 multi-core system-on-chip power architecture processor [Online], available: <https://satsearch.co/products/bae-systems-rad5545-multi-core-system>, December 2, 2025
- Schwaller B, Holtzman S, George A D. Emulation-based performance studies on the HPSC space processor. In: Proceedings of the IEEE Aerospace Conference. Big Sky, USA: IEEE, 2019. 1–11
- Guertin S M, Some R, Nsengiyumva P, Cannon E H, Cabanas-Holmen M, Ballast J. Radiation specification and testing of heterogenous microprocessor SOCs. In: Proceedings of the 19th European Conference on Radiation and Its Effects on Components and Systems (RADECS). Montpellier, France: IEEE, 2019. 1–7
- Gaisler J. *LEON SPARC Processor the Past, Present and Future*. Berkeley: RAMP Winter Retreat, 2007.
- Microchip. Rad-hard 32-bit SPARC embedded processor-TSC695F Rev 4118J-AERO-08/04 [Online], available: <https://www.microchip.com/wwwproducts/en/TSC695F>, December 2, 2025
- Atmel Corporation. TSC695F SPARC 32-bit space processor user manual [Online], available: <https://ww1.microchip.com/downloads/en/DeviceDoc>, December 2, 2025
- Microchip. Rad-hard 32-bit SPARC V8 processor. Rev. 7703E-AERO-08/11 [Online], available: <https://www.microchip.com/wwwproducts/en/AT697F>, December 2, 2025
- Atmel Corporation. Rad-hard 32-bit SPARC V8 processor AT697E user manual [Online], available: <https://www.alldata-sheet.com>, December 2, 2025
- Cobham Gaisler AB. GR712RC dual-core LEON3FT SPARC V8 processor data sheet [Online], available: <https://download.gaisler.com/products/gr712rc/doc/gr712rc->, December 2, 2025
- Tambara L A, Hernandez F, Stureson F, Hjorth M, Andersson J, Weigand R. Single event effect characterization of the GR740 rad-hard quad-core LEON4FT system-on-chip. In: Proceedings of the 19th European Conference on Radiation and Its Effects on Components and Systems (RADECS). Montpellier, France: IEEE, 2019. 1–6
- COBHAM. GR740 radiation summary [Online], available: <https://www.gaisler.com.2019>, December 2, 2025
- Andersson J, Hjorth M, Johansson F, Habinc S. LEON processor devices for space missions: First 20 years of LEON in space. In: Proceedings of the 6th International Conference on Space Mission Challenges for Information Technology (SMC-IT). Madrid, Spain: IEEE, 2017. 136–141
- Andersson J. Development of a NOEL-V RISC-V SoC targeting space applications. In: Proceedings of the 50th Annual IEEE/IFIP International Conference on Dependable Systems and Networks Workshops (DSN-W). Valencia, Spain: IEEE, 2020. 66–67
- Jonsson J, Toselli M. White-Box Verification of a RISC-V Processor: NOEL-V [Master thesis], University of Gothenburg, Sweden, 2022.
- Wessman N J, Malatesta F, Andersson J, Gomez P, Masmano M, Nicolau V, et al. De-RISC: The first RISC-V space-grade platform for safety-critical systems. In: Proceedings of the IEEE Space Computing Conference (SCC). Laurel, USA: IEEE, 2021. 17–26
- Li Y, Zhu X Y, Zhang W G, Wang C L, Deng Z. Design and verification of CPU for teaching based on SPARC V8. In: Proceedings of the 4th International Conference on Intelligent Systems Design and Engineering Applications. Zhangjiajie, China: IEEE, 2013. 236–240
- Beijing Institute of Control Engineering. User Manual for SoC2008 32-bit System on Chip V3.0, 2013. (北京控制工程研究所. SoC2008 型 32 位片上系统芯片用户手册. V3.0, 2013.)
- Beijing Institute of Control Engineering. User Manual for Quad Core SoC2012 32-bit System on Chip V1.0, 2013. (北京控制工程研究所. 四核 SoC2012 型 32 位片上系统芯片用户手册. V1.0, 2013.)
- Beijing Microelectronics Technology Institute. BM3803FMGRH Product Manual. (北京微电子技术研究所. BM3803FMGRH 产品使用手册.)
- Loongson Technology Corporation Limited. Domestic Independent Safety-White Paper on Radiation Resistant Chip Technology of Loongson, 2018. (龙芯中科技术有限公司. 国产化自主安全-龙芯抗辐照芯片技术白皮书, 2018.)
- Xu Shuai, Lin Bao-Jun, Liu Ying-Chun, Zhao Shuai. Development and transplantation of BSP based on Godson aerospace chip. *Computer Engineering & Science*, 2020, **42**(4): 571–579 (徐帅, 林宝军, 刘迎春, 赵帅. 基于龙芯宇航级芯片的 BSP 开发和移植. 计算机工程与科学, 2020, **42**(4): 571–579)
- Wang Ying, Yan Tao, Wang Lei. Development situation and trend of space intelligent navigation technology. *Aerospace Control and Application*, 2022, **48**(5): 9–17

- (王瑛, 严涛, 王磊. 空间智能导航技术发展现状与趋势分析. 空间控制技术与应用, 2022, 48(5): 9–17)
- 30 Patterson D, Waterman A. *The RISC-V Reader: An Open Architecture Atlas*. Strawberry Canyon, 2017.
 - 31 Di Mascio S, Menicucci A, Gill E, Furano G, Monteleone C. Leveraging the openness and modularity of RISC-V in space. *Journal of Aerospace Information Systems*, 2019, 16(11): 454–472
 - 32 Sun Chuan-Chuan, Gao Ying-Ke, Li Sheng-Long, Zhao Yun-Fu, Liang Xian-Geng. Design of exception handling system for high reliable system-on-chip for aerospace applications. *Aerospace Control and Application*, 2020, 46(3): 78–82
(孙川川, 高瑛珂, 李圣龙, 赵云富, 梁贤康. 面向宇航应用的高可靠 SoC 异常处理系统设计. 空间控制技术与应用, 2020, 46(3): 78–82)
 - 33 Wei Xiao-Tong, Xu Hao-Bo, Yin Chun-Di, Huang Jun-Pei, Sun Wen-Hao, Xu Wen-Jun, et al. Space-based computing chips: Current status, trends and key technique. *Journal of Electronics & Information Technology*, 2025, 47(9): 2963–2978
(魏肖彤, 许浩博, 尹春笛, 黄俊培, 孙文昊, 徐文浚, 等. 天基计算芯片: 现状、趋势与关键技术. 电子与信息学报, 2025, 47(9): 2963–2978)
 - 34 Lüdtke D, Firchau T, Cortes C G, Lund A, Nepal A M, Elbarrawy M M, et al. ScOSA on the way to orbit: Reconfigurable high-performance computing for spacecraft. In: Proceedings of the IEEE Space Computing Conference (SCC). Pasadena, USA: IEEE, 2023. 34–44
 - 35 Li L, He J W, Xu D X, Chen W, Yu J P, Li H W. Design of high-performance and general-purpose satellite management unit based on rad-hard multi-core SoC and linux. *Aerospace*, 2023, 10(2): Article No. 201
 - 36 Hennessy J L, Patterson D A. A new golden age for computer architecture. *Communications of the ACM*, 2019, 62(2): 48–60
 - 37 Leon V, Lentaris G, Petrongonas E, Soudris D, Furano G, Tavoularis A, et al. Improving performance-power-programmability in space avionics with edge devices: VBN on Myriad2 SoC. *ACM Transactions on Embedded Computing Systems (TECS)*, 2021, 20(3): Article No. 22
 - 38 Perryman N, Franconi N, Crum G, Wilson C, George A D. SpaceCube GHOST: A resilient processor for low-power, high-reliability space computing. In: Proceedings of the IEEE Aerospace Conference. Big Sky, USA: IEEE, 2024. 1–11
 - 39 Li Shao-Guang, Liu Lei, Lang Jin-Peng, Wang Jian-Guo. CPU development overview and road to localization. *Cyberspace Security*, 2020, 11(4): 114–117
(李韶光, 刘雷, 郎金鹏, 王建国. CPU 发展概述及国产化之路. 网络安全空间安全, 2020, 11(4): 114–117)
 - 40 Di Mascio S, Menicucci A, Gill E, Furano G, Monteleone C. Open-source IP cores for space: A processor-level perspective on soft errors in the RISC-V era. *Computer Science Review*, 2021, 39: Article No. 100349
 - 41 Liu B, Yang M F, Wang Y, Yuan L, Liu C W, Xu J, et al. A lightweight data-voting strategy for triple-modular redundant control computers. *Science China Technological Sciences*, 2022, 65(2): 419–431
 - 42 Liang Z N, Nian J W, Liu H J, Wang X R, Yang M F. C-DMR: A cache-based fault-tolerant protection method for register file. *The Journal of Supercomputing*, 2023, 79(4): 4383–4397
 - 43 Alcaide S, Kosmidis L, Hernandez C, Abella J. Achieving diverse redundancy for GPU kernels. *IEEE Transactions on Emerging Topics in Computing*, 2022, 10(2): 618–634
 - 44 Venkatesha S, Parthasarathi R. Survey on redundancy based-fault tolerance methods for processors and hardware accelerators-trends in quantum computing, heterogeneous systems and reliability. *ACM Computing Surveys*, 2024, 56(11): Article No. 275
 - 45 Yu Zhi-Gang, Feng Xu, Lu Zhou, Gao Ji-Xing, Ding Wen-Hui. Development status and trends of space processor. *Space-Integrated-Ground Information Networks*, 2023, 4(1): 50–58
(虞志刚, 冯旭, 陆洲, 高吉星, 丁文慧. 宇航用处理器发展现状与趋势. 天地一体化信息网络, 2023, 4(1): 50–58)
 - 46 Xie R C, Tang Q Q, Wang Q N, Liu X, Yu F R, Huang T. Satellite-terrestrial integrated edge computing networks: Architecture, challenges, and open issues. *IEEE Network*, 2020, 34(3): 224–231
 - 47 Hu Y X, Liu Y H, Liu Z Y. A survey on convolutional neural network accelerators: GPU, FPGA and ASIC. In: Proceedings of the 14th International Conference on Computer Research and Development (ICCRD). Shenzhen, China: IEEE, 2022. 100–107
 - 48 Zhu Hai-Tao. Application and development trend of AI chip. *China Security Protection Technology and Application*, 2019(5): 44–49
(朱海涛. AI 芯片的应用与发展趋势. 中国安全防范技术与应用, 2019(5): 44–49)
 - 49 Wang Chun-Ting, Zhai Li-Jun, Xu Xiao-Fan. Development and prospects of space-terrestrial integrated information network. *Radio Communications Technology*, 2020, 46(5): 493–504
(汪春霆, 翟立君, 徐晓帆. 天地一体化信息网络发展与展望. 无线电通信技术, 2020, 46(5): 493–504)
 - 50 Wu Q, Shen Y F, Zhang M Q. Heterogeneous computing and applications in deep learning: A survey. In: Proceedings of the 5th International Conference on Computer Science and Software Engineering. Guilin, China: Association for Computing Machinery, 2022. 383–387
 - 51 Vandame P, Noé A, Čech J, Apostol L, Prieur C, McNamara K, et al. Assessing the potential of Qorqino processor for embedded AI on board a CubeSat. *IEEE Journal on Miniaturization for Air and Space Systems*, 2022, 3(3): 121–128
 - 52 Furano G, Di Mascio S, Menicucci A, Monteleone C. A European roadmap to leverage RISC-V in space applications. In: Proceedings of the IEEE Aerospace Conference (AERO). Big Sky, USA: IEEE, 2022. 1–7
 - 53 Mezger B W, Santos D A, Dilillo L, Zeferino C A, Melo D R. A survey of the RISC-V architecture software support. *IEEE Access*, 2022, 10: 51394–51411
 - 54 Cappellone D, Di Mascio S, Furano G, Menicucci A, Ottavi M. On-board satellite telemetry forecasting with RNN on RISC-V based multicore processor. In: Proceedings of the IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT). Frascati, Italy: IEEE, 2020. 1–6
 - 55 Liu Y Q, Han Y H, Li H X, Gu S H, Qiu J B, Li T. Computing over space: Status, challenges, and opportunities. *Engineering*, 2025, 54: 20–25
 - 56 Yin Z S, Wu C H, Guo C B, Li Y C, Xu M W, Gao W W, et al. A comprehensive survey of orbital edge computing: Systems, applications, and algorithms. *Chinese Journal of Aeronautics*, 2025, 38(7): Article No. 103316
 - 57 Dunkel E R, Swope J, Candela A, West L, Chien S A, Towfic Z, et al. Benchmarking deep learning models on myriad and snapdragon processors for space applications. *Journal of Aerospace Information Systems*, 2023, 20(10): 660–674
 - 58 Yu Zhi-Cheng, Zhuang Shu-Feng, Liu Tao, Wang Yang, Yang Bing-Xin. High reliability FPGA dynamic partial reconfiguration for aerospace application. *Spacecraft Recovery & Remote Sensing*, 2019, 40(3): 40–46
(于志成, 庄树峰, 刘涛, 王洋, 杨秉新. 面向航天应用的高可靠性 FPGA 动态局部重构. 航天返回与遥感, 2019, 40(3): 40–46)



年嘉伟 华北电力大学控制与计算机工程学院讲师. 2018 年获得华北电力大学控制与计算机工程学院学士学位, 2024 年获得西安电子科技大学计算机科学与技术学院博士学位. 主要研究方向为宇航用处理器架构与容错设计.

E-mail: jwnian@ncepu.edu.cn

(NIAN Jia-Wei Lecturer at the School of Control and Computer Engineering, North China Electric Power

University. He received his bachelor degree from the School of Control and Computer Engineering, North China Electric Power University in 2018, and Ph.D. degree from the School of Computer Science and Technology, Xidian University in 2024. His research interests include aerospace processor architecture and fault-tolerant design.)



王旭茹 北京控制工程研究所硕士研究生. 2019 年获得西安电子科技大学学士学位. 主要研究方向为宇航用处理器架构与容错设计. 本文通信作者.
E-mail: wangxr0321@163.com

(**WANG Xu-Ru** Master student at the Beijing Institute of Control Engineering. She received her bachelor degree from Xidian University in 2019. Her research interests include aerospace processor architecture and fault-tolerant design. Corresponding author of this paper.)



刘鸿瑾 北京控制工程研究所研究员. 2008 年获得中国科学院研究生院博士学位. 主要研究方向为机载计算机设计, 卫星集成电子系统设计以及基于 SoC 和 SiP 的微电子系统.
E-mail: liuhongjin2020@126.com

(**LIU Hong-Jin** Researcher at the Beijing Institute of Control Engineering. He received

his Ph.D. degree from the Graduate University of the Chinese Academy of Sciences in 2008. His research interests include airborne computer design, satellite integrated electronic system design, and microelectronic systems based on SoC and SiP.)



房方 华北电力大学控制与计算机工程学院教授. 主要研究方向为处理器架构设计, 故障检测.

E-mail: ffang@ncepu.edu.cn

(**FANG Fang** Professor at the School of Control and Computer Engineering, North China Electric Power University. His research interests include processor architecture design and fault detection.)



杨孟飞 中国科学院院士, 中国空间技术研究院研究员. 主要研究方向为容错设计, 架构设计, 操作系统, 形式化验证和人工智能.

(**YANG Meng-Fei** Academician at the Chinese Academy of Sciences, professor at the China Academy of Space Technology. His research interests include fault-tolerant design, architecture design, operating systems, formal verification, and artificial intelligence.)